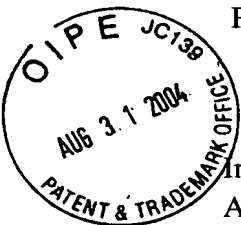


IFW

Patent

Customer No. 31561  
Application No.: 110/709,953  
Docket No. 10546-US-PA



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Huang et al.  
Application No. : 10/709,953  
Filed : Jun. 09, 2004  
For : CHIP STRUCTURE  
Examiner : N/A  
Art Unit : 2811

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92115490,  
filed on: 2003/6/9.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: August 30, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

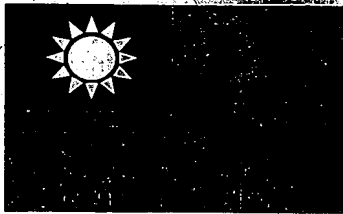
**7F.-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereun

申請日：西元 2003 年 06 月 09 日  
Application Date

申請案號：092115490  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 7 月 日  
Issue Date

發文字號：09320685880  
Serial No.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	晶片結構
	英 文	Chip structure
二、 發明人 (共4人)	姓 名 (中文)	1. 黃敏龍 2. 蔡騏隆
	姓 名 (英文)	1. Min-Lung Huang 2. Chi-Long Tsai
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區鼎勇街33巷2弄8號10樓 2. 台東縣鹿野鄉永安村6鄰442號
	住居所 (英 文)	1. 10F, No. 8, Alley 2, Lane 33, Ting-yung St., San-min Chu, Kaohsiung, Taiwan, R.O.C. 2. No. 442, Yungan Tsuen, Luye Shiang, Taitung, Taiwan 955, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	3. 翁肇甫 4. 蘇清輝
	姓 名 (英文)	3. Chao-Fu Weng 4. Ching-Huei Su
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 台南市新建路19巷19號之3 4. 高雄市鹽埕區大仁路252號1樓
	住居所 (英 文)	3. No. 19-3, Lane 19, Hsinchien Rd., Tainan, Taiwan, R.O.C. 4. 1F, No. 252, Ta-jen Rd., Yen-cheng Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：晶片結構)

一種晶片結構包括一晶片、一重配置線路層、一第二保護層及至少一凸塊。其中，晶片具有一第一保護層及至少一鐳墊，而第一保護層係暴露出鐳墊，且第一保護層具有至少一凹陷。重配置線路層配置於第一保護層上，其中重配置線路層與鐳墊電性連接，且由鐳墊延伸至凹陷上。第二保護層配置於第一保護層與重配置線路層上，其中第二保護層具有一開口，且開口係暴露出凹陷上之重配置線路層。至少一凸塊配置於開口內，並與凹陷上之重配置線路層電性連接。

伍、(一)、本案代表圖為：第\_\_\_\_2\_\_\_\_圖

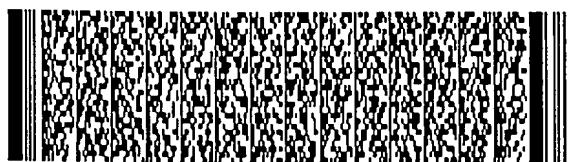
(二)、本案代表圖之元件代表符號簡單說明：

200：晶片結構      210：晶片      212：主動表面

214：保護層      216：鐳墊      220：重配置線路層      230：

六、英文發明摘要 (發明名稱：Chip structure)

A chip structure comprises a substrate, a redistribution layer, a second passivation layer and at least one bump. The substrate comprises a first passivation layer and at least one bonding pad thereon. The first passivation layer having at least one indentation covers the substrate and exposes the surface of the bonding pad. The redistribution layer electrically connected with



四、中文發明摘要 (發明名稱：晶片結構)

保護層      232: 開口      250: 凸塊      218: 凹陷      219:  
鈍角      221、223、225: 金屬層      240: 球底金屬層  
242: 金屬層      244: 金屬層      246: 金屬層      248: 電鍍  
層

六、英文發明摘要 (發明名稱：Chip structure)

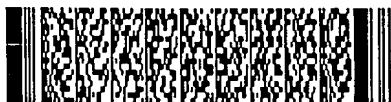
the bonding pad is disposed on the first passivation layer and elongate from the bonding pad to the indentation. The second passivation layer having an opening to expose the redistribution layer is disposed on the first passivation layer and the redistribution layer. The bump is electrically connected with the redistribution layer exposed by the opening of the



四、中文發明摘要 (發明名稱：晶片結構)

六、英文發明摘要 (發明名稱：Chip structure)

second passivation.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。





## 五、發明說明 (1)

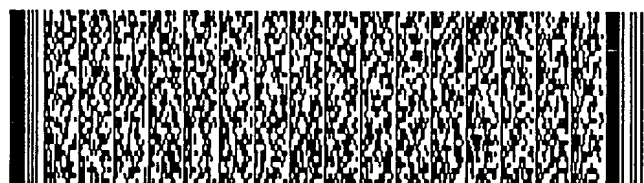
### 發明所屬之技術領域

本發明是有關於一種晶片結構，且特別是有關於一種增加球底金屬層(Under Bump Metal, UBM)上之凸塊(Bump)與重配置線路層(Redistribution Layer)之間結構強度的晶片結構。

### 先前技術

覆晶封裝技術(Flip Chip Package Technology)主要係將晶片(die)之多個鐸墊，利用面陣列(area array)的排列方式，配置於晶片之主動表面(active surface)上，並在各個鐸墊上分別依序形成球底金屬層及凸塊，例如鐸料凸塊(solder bump)，接著將晶片翻面之後，再利用凸塊來連接至基板(substrate)或印刷電路板(PCB)之表面的接點。由於覆晶接合技術係可適用於高接腳數(High Pin Count)之晶片封裝結構，並具有縮小封裝面積及縮短訊號傳輸路徑等優點，使得覆晶封裝技術已被廣泛地應用在晶片封裝結構。

值得注意的是，由於覆晶封裝技術已漸漸成為主流趨勢，故越來越多的產品將改採用覆晶封裝技術的方式進行封裝，然而為了封裝型態的改變而一併更改既有產品的晶片設計，並不符合經濟原則，因此在此封裝型態改變的過渡時期發展出鐸墊重配置技術，藉由在原來引線接合晶片表面設置一重配置線路層，將引線接合晶片鐸墊之周圍分佈型態進行重配置，使其成為覆晶晶片鐸墊之陣列分佈的型態，以配置覆晶封裝所需之凸塊。



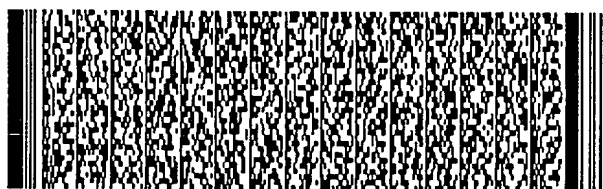
## 五、發明說明 (2)

第1圖繪示習知之晶片結構的剖面示意圖。請參考第1圖，晶片結構100主要係由一晶片110、一重配置線路層120、一保護層(passivation)130及至少一凸塊150所構成。其中，晶片110具有一主動表面112、一保護層114及至少一鐳墊116，而保護層114及鐳墊116均配置於晶片110之主動表面112上，且保護層114係暴露出鐳墊116，而保護層114之材質例如是氧化矽、氮化矽等無機化合物。重配置線路層120係配置於保護層114上，而且重配置線路層120係與鐳墊116電性連接。保護層130係配置於重配置線路層120上，其中保護層130係具有至少一開口132，而此開口132的側壁係垂直於晶片110的表面，用以暴露出部分之重配置線路層120。值得注意的是，習知的重配置線路層120通常是採用鈦/銅/鈦/銅四層金屬的堆疊結構，故重配置線路層120兼顧了球底金屬層的功能。凸塊150係直接配置於開口132所暴露出的重配置線路層120上。由於錫鉛合金具有較佳之鐳接特性，所以凸塊150之材質經常採用錫鉛合金，其錫鉛重量比例為63:37或5:95等不同比例。

承上所述，由於凸塊150係透過保護層130中之開口132與重配置線路層120連接，因此當覆晶晶片在進行推力測試(shear test)時容易出現破裂或脫落的現象，進而使得晶片結構之使用壽命縮減。

### 發明內容

有鑑於此，本發明之目的係在於提出一種晶片結構，用以長時間地維持凸塊與重配置線路層之接點間的接合強



### 五、發明說明 (3)

度，進而提高晶片結構之使用壽命。

基於本發明之上述目的，本發明提出一種晶片結構，其主要係由一晶片、一重配置線路層、一第二保護層、及至少一凸塊所構成。其中，晶片具有一第一保護層及至少一鐳墊，而第一保護層係暴露出鐳墊，且第一保護層具有至少一凹陷。重配置線路層配置於第一保護層上，其中重配置線路層與鐳墊電性連接，且由鐳墊延伸至凹陷上。第二保護層配置於第一保護層與重配置線路層上，其中第二保護層具有一開口，且開口係暴露出凹陷上之重配置線路層。至少一凸塊配置於開口內，並與凹陷上之重配置線路層電性連接。

依照本發明之較佳實施例所述，其中上述凹陷的側壁與凹陷的底壁例如夾一鈍角，而開口的側壁係與開口的底壁例如夾一鈍角。此外，本實施例之晶片結構更包括至少一球底金屬層，而球底金屬層係配置於開口所暴露出之重配置線路層與凸塊之間。

依照本發明之較佳實施例所述，其中球底金屬層例如係由一第一金屬層、一第二金屬層及第三金屬層所構成。其中，第一金屬層配置於開口所暴露出之重配置線路層上，而第二金屬層配置於第一金屬層上，且第三金屬層配置於第二金屬層上。上述第一金屬層之材質例如是鋁、鈦、鈦鎢合金、鈦、氮化鈦或鉻，而第二金屬層之材質例如是鎳鈮合金或銅鉻合金，且第三金屬層之材質例如是銅等金屬或合金。此外，球底金屬層更包括至少一電鍍層，



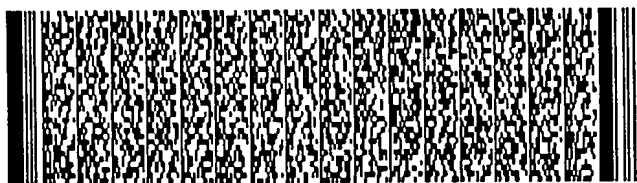
#### 五、發明說明 (4)

而此電鍍層配置於第三金屬層上，且此電鍍層例如為電鍍銅層、有電/無電電鍍鎳層、無電電鍍金層或這些鍍層之組合。

依照本發明之較佳實施例所述，其中球底金屬層例如係由一第一金屬層及一第二金屬層所構成。其中，第一金屬層配置於開口所暴露出之重配置線路層上，而第二金屬層配置於第一金屬層上。上述第一金屬層之材質例如是鋁、鈦、鈦鎢合金、鈹、氮化鈹或鉻，而第二金屬層之材質例如是銅等金屬或合金。球底金屬層更包括至少一電鍍層，而此電鍍層配置於第二金屬層上，且電鍍層例如為電鍍銅層、有電/無電電鍍鎳層、無電電鍍金層或這些鍍層之組合。

依照本發明之較佳實施例所述，其中重配置線路層例如係由一第一金屬層、一第二金屬層及第三金屬層所構成。其中，第一金屬層配置於第一保護層上，而第二金屬層配置於第一金屬層上，且第三金屬層配置於第二金屬層上。上述第一金屬層之材質例如是鋁、鈦、鈦鎢合金、鈹、氮化鈹或鉻，第二金屬層之材質例如是鎳鈮合金或銅鉻合金，而第三金屬層之材質例如是銅等金屬或合金。

依照本發明之較佳實施例所述，其中重配置線路層例如係由一第一金屬層及一第二金屬層所構成。其中，第一金屬層配置於第一保護層上，而第二金屬層配置於第一金屬層上。上述第一金屬層之材質例如是鋁、鈦、鈦鎢合金、鈹、氮化鈹或鉻，而第二金屬層之材質例如是銅等金



## 五、發明說明 (5)

屬或合金。

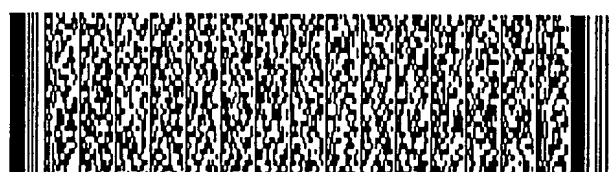
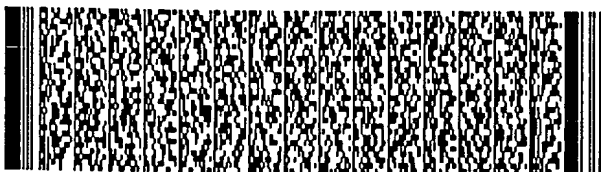
為讓本發明之上述目的、特徵和優點能明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

### 實施方式

第2圖繪示本發明之較佳實施例之晶片結構的剖面示意圖。請參考第2圖，晶片結構200主要係由一晶片210、一重配置線路層220、一保護層230及至少一凸塊250所構成。其中，晶片210具有一主動表面212、一保護層214及至少一鐳墊216，而保護層214及鐳墊216均配置於晶片210之主動表面212上，且保護層214係暴露出上述之鐳墊216。值得注意的是，保護層214具有至少一凹陷218，而凹陷218的剖面形狀例如呈現上寬下窄的梯形，換言之，凹陷218的側壁與凹陷218的底壁之夾角例如是鈍角219。

本實施例中，晶片210之材質例如是矽、鍺等半導體材料。保護層214之材質例如為氧化矽 (silicon oxide)、氮化矽 (silicon nitride)、磷矽玻璃 (phosphosilicate glass, PSG) 等，而保護層214亦可以由上述之無機化合物材質所交互疊合而成之複合層。鐳墊216之材質例如是鋁、銅等。

重配置線路層220係位於保護層214上並與鐳墊216電性連接，且由鐳墊延伸至凹陷218上，其中有部分之重配置線路層220係位於保護層214之凹陷218內。在第3圖中，重配置線路層220例如是由三金屬層221、223、225所構



##### 五、發明說明 (6)

成。其中，金屬層221係配置於保護層214上，而金屬層223係配置於金屬層221上，且金屬層225係配置於金屬層223上。值得注意的是，金屬層221之材質例如是鋁、鈦、鈦鎢合金、鈮、氮化鈮或鉻，而金屬層223之材質例如是鎳鈦合金或鉻銅合金等，且金屬層225之材質例如是銅等金屬或合金。

保護層230配置於保護層214及重配置線路層220上，其中保護層230具有一開口232，而此開口232係暴露出保護層214之凹陷218上的部分之重配置線路層220。其中，開口232之剖面形狀例如是上寬下窄之梯形，換言之，開口232之側壁與開口232之底壁的夾角例如是一鈍角319。

凸塊250係配置於保護層230之開口232內，而且凸塊250並與凹陷218上的重配置線路層220電性連接。其中，凸塊250之材質例如是錫鉛合金，其重量百分比例如含錫63%鉛37%的常見錫鉛合金凸塊，或者含錫5%鉛95%的高鉛鉛料凸塊，甚至是上述二者所合成之複合凸塊結構。因此，藉由上述之凹陷219的形狀與角度可以強化重配置線路層220與凸塊250的接合結構強度。

此外，凸塊250除了可以直接電性連接於開口232所暴露出的重配置線路層220外，亦可以在開口232內之重配置線路層220與凸塊250間配置至少一層球底金屬層，亦可以增加凸塊250重配置線路層220的接合強度。接著，下文將說明球底金屬層之結構與其連接關係。

請同樣參考第2圖，保護層230之開口232內例如可選



##### 五、發明說明 (7)

擇性地配置一球底金屬層240，在整個晶片結構中，球底金屬層240的位置例如位於重配置線路層220與凸塊250之間。上述之球底金屬層240例如由三金屬層242、244、246所構成。其中，金屬層242例如配置於開口232內之重配置線路層220上，而金屬層244例如配置於金屬層242上，且金屬層246例如配置於金屬層244上。金屬層242例如係用以增加重配置線路層220及金屬層244之間的接合強度。金屬層244例如用以防止凸塊250中例如錫原子的移動可能造成結構的破壞或傳輸訊號的不良。金屬層246例如用以增加球底金屬層240與凸塊250的沾附能力，使凸塊250可以容易與球底金屬層240沾附。

此外，在本實施例中金屬層246上例如配置至少一電鍍層248，而電鍍層248例如位於第三金屬層246與凸塊250之間。值得注意的是，金屬層222的材質例如為鋁、鈦、鈦鎢合金、氮化鈦、鈮、氮化鈮或鉻等。金屬層224之材質例如選自於由鎳鈮合金或鉻銅合金等。金屬層226之材質例如是銅等金屬或合金。電鍍層248例如是電鍍銅層、有電/無電電鍍鎳層、無電電鍍金層或這些鍍層之組合。

如上述，重配置線路層係藉由三層金屬層搭配球底金屬層之四層金屬層的結構。然而，本發明亦可以是重配置線路層之三層金屬層搭配球底金屬層之二層金屬層的結構(如第3圖)、重配置線路層之三層金屬層搭配球底金屬層之二層金屬層的結構(如第4圖)或是重配置線路層之二層金屬層搭配球底金屬層之五層金屬層的結構(如第5圖)



#### 五、發明說明 (8)

等，皆能涵蓋在本發明之精神範圍內。

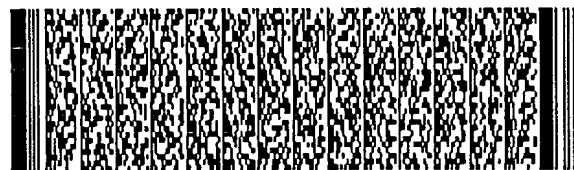
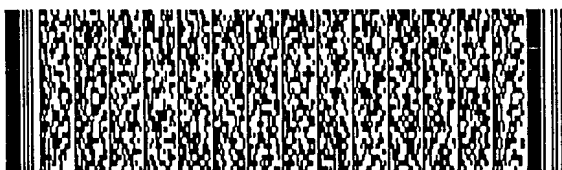
請再參考第2圖，當球底金屬層240配置於保護層230之開口232中時，凸塊250係藉由球底金屬層240而與位於凹陷218上之重配置線路層220連接，故可使得球底金屬層240上之凸塊250具有較佳的結構強度，此時，當凸塊250在進行推力測試時，可有效改善凸塊250發生破裂或從球底金屬層220上脫落的問題，進而延長晶片結構的使用壽命。

第6圖繪示本發明之較佳實施例之另一晶片結構的剖面示意圖。請參照第6圖，重配置線路層320例如是由二金屬層321、323所構成。其中，金屬層321係配置於保護層314上，而金屬層323係配置於金屬層321上。

值得注意的是，金屬層321的材質例如為鋁、鈦、鈦鎢合金、氮化鈦、鈮、氮化鈮或鉻等，而金屬層323之材質例如是銅等。

球底金屬層340例如由二金屬層342、344所構成。其中，金屬層342係配置於重配置線路層320上，而金屬層344係配置於金屬層342上。值得注意的是，金屬層342的材質例如為鋁、鈦、鈦鎢合金、氮化鈦、鈮、氮化鈮或鉻等，而金屬層344之材質例如是銅等。

如上述，重配置線路層係藉由二層金屬層搭配球底金屬層之二層金屬層的結構。然而，本發明之亦可以是重配置線路層之二層金屬層搭配球底金屬層之三層金屬層的結構(如第7圖)、重配置線路層之二層金屬層搭配球底金屬





#### 五、發明說明 (9)

層之四層金屬層的結構(如第8圖)或是重配置線路層之二層金屬層搭配球底金屬層之五層金屬層的結構(如第9圖)等，皆能涵蓋在本發明之精神範圍內。

縱上所述，本發明之晶片結構具有至少下列優點：

(1). 本發明可以藉由保護層之凹陷的設計，使得凸塊與重配置線路層間的結合性較好，使得凸塊具有較佳的結構強度。

(2). 本發明可長時間地維持凸塊與重配置線路層的接合強度，在晶片封裝後，可以提高晶片結構之使用壽命。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



#### 圖式簡單說明

第1圖為習知之晶片結構的剖面示意圖；

第2圖繪示本發明之較佳實施例之晶片結構的剖面示意圖；

第3圖繪示第2圖中重配置線路層與另一球底金屬層的搭配；

第4圖繪示第2圖中重配置線路層與再一球底金屬層的搭配；

第5圖繪示第2圖中重配置線路層與又一球底金屬層的搭配；

第6圖繪示本發明之較佳實施例之另一晶片結構的剖面示意圖；

第7圖繪示第6圖中重配置線路層與另一球底金屬層的搭配；

第8圖繪示第6圖中重配置線路層與再一球底金屬層的搭配；以及

第9圖繪示第6圖中重配置線路層與又一球底金屬層的搭配。

#### 圖式標示說明

100、200：晶片結構

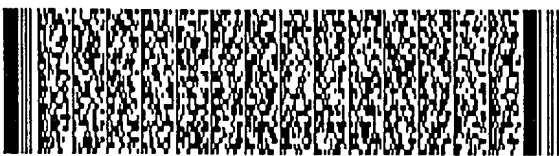
110、210：晶片

112、212：主動表面

114、214：保護層

116、216：鐳墊

120、220、320：重配置線路層



圖式簡單說明

130、230: 保護層

132、232: 開口

150、250: 凸塊

218: 凹陷

219、319: 鈍角

221、223、225、321、323: 金屬層

240、340: 球底金屬層

242、342: 金屬層

244、344: 金屬層

246: 金屬層

248: 電鍍層



## 六、申請專利範圍

### 1. 一種晶片結構，至少包括：

一晶片，具有一第一保護層及至少一鐳墊，該第一保護層係暴露出該鐳墊，且該第一保護層具有至少一凹陷；

一重配置線路層，配置於該第一保護層上，其中該重配置線路層與該鐳墊電性連接，且由該鐳墊延伸至該凹陷上；

一第二保護層，配置於該第一保護層與該重配置線路層上，其中該第二保護層具有一開口，且該開口係暴露出該凹陷上之該重配置線路層；以及

至少一凸塊，配置於該開口內，並與該凹陷上之該重配置線路層電性連接。

2. 如申請專利範圍第1項所述之晶片結構，其中該凹陷的側壁係與該凹陷的底壁夾一鈍角。

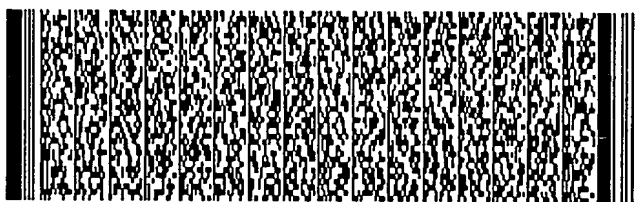
3. 如申請專利範圍第1項所述之晶片結構，更包括至少一球底金屬層，該球底金屬層係配置於該開口所暴露出之該重配置線路層與該凸塊之間。

4. 如申請專利範圍第3項所述之晶片結構，其中該球底金屬層包括：

第一金屬層，配置於該開口所暴露出之該重配置線路層上；以及

第二金屬層，配置於該第一金屬上。

5. 如申請專利範圍第4項所述之晶片結構，其中該第一金屬層之材質包括鋁、鈦、鈦鎢合金、鉭、氮化鉭、鉻其中之一。



## 六、申請專利範圍

6. 如申請專利範圍第4項所述之晶片結構，其中該第二金屬層之材質包括銅。

7. 如申請專利範圍第4項所述之晶片結構，其中該球底金屬層更包括至少一電鍍層，配置於該第二金屬層上，且該電鍍層包括電鍍銅層、有電/無電電鍍鎳層、無電電鍍金層及其組合其中之一。

8. 如申請專利範圍第3項所述之晶片結構，其中該球底金屬層包括：

第一金屬層，配置於該開口所暴露出之該重配置線路層上；以及

第二金屬層，配置於該第一金屬層上；以及

第三金屬層，配置於該第二金屬層上。

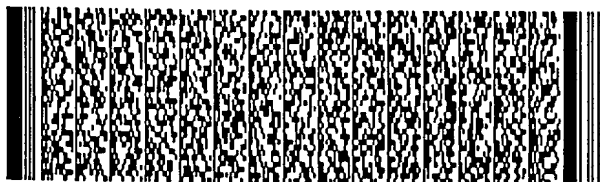
9. 如申請專利範圍第8項所述之晶片結構，其中該第一金屬層之材質包括鋁、鈦、鈦鎢合金、鉭、氮化鉭、鉻其中之一。

10. 如申請專利範圍第8項所述之晶片結構，其中該第二金屬層之材質包括鎳鈮合金及銅鉻合金其中之一。

11. 如申請專利範圍第8項所述之晶片結構，其中該第三金屬層之材質包括銅。

12. 如申請專利範圍第8項所述之晶片結構，其中該球底金屬層更包括至少一電鍍層，配置於該第三金屬層上，且該電鍍層包括電鍍銅層、電鍍鎳層、電鍍金層及其組合其中之一。

13. 如申請專利範圍第1項所述之晶片結構，其中該重



## 六、申請專利範圍

配置線路層包括：

第一金屬層，配置於該第一保護層上；以及  
第二金屬層，配置於該第一金屬上。

14. 如申請專利範圍第13項所述之晶片結構，其中該第一金屬層之材質包括鋁、鈦、鈦鎢合金、鈹、氮化鈹、鉻其中之一。

15. 如申請專利範圍第13項所述之晶片結構，其中該第二金屬層之材質包括銅。

16. 如申請專利範圍第1項所述之晶片結構，其中該重配置線路層層包括：

一第一金屬層，配置於該第一保護層上；  
一第二金屬層，配置於該第一金屬層上；以及  
一第三金屬層，配置於該第二金屬層上。

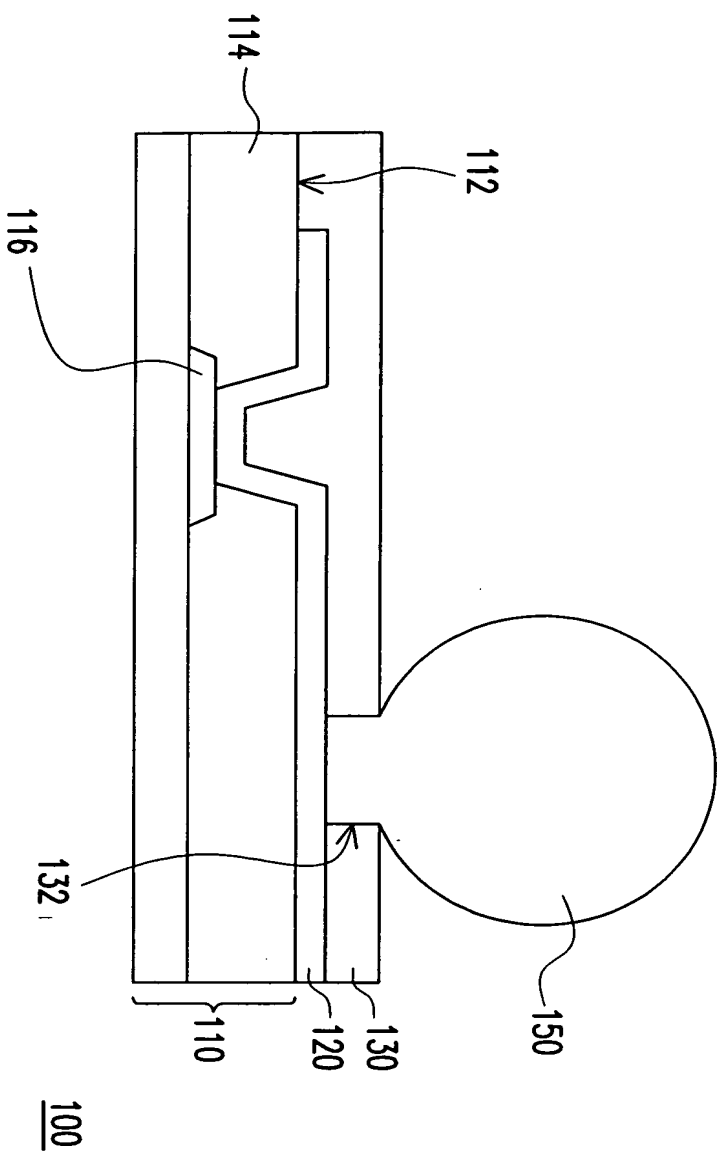
17. 如申請專利範圍第16項所述之晶片結構，其中該第一金屬層之材質包括鋁、鈦、鈦鎢合金、鈹、氮化鈹、鉻其中之一。

18. 如申請專利範圍第16項所述之晶片結構，其中該第二金屬層之材質包括鎳鈇合金及銅鉻合金其中之一。

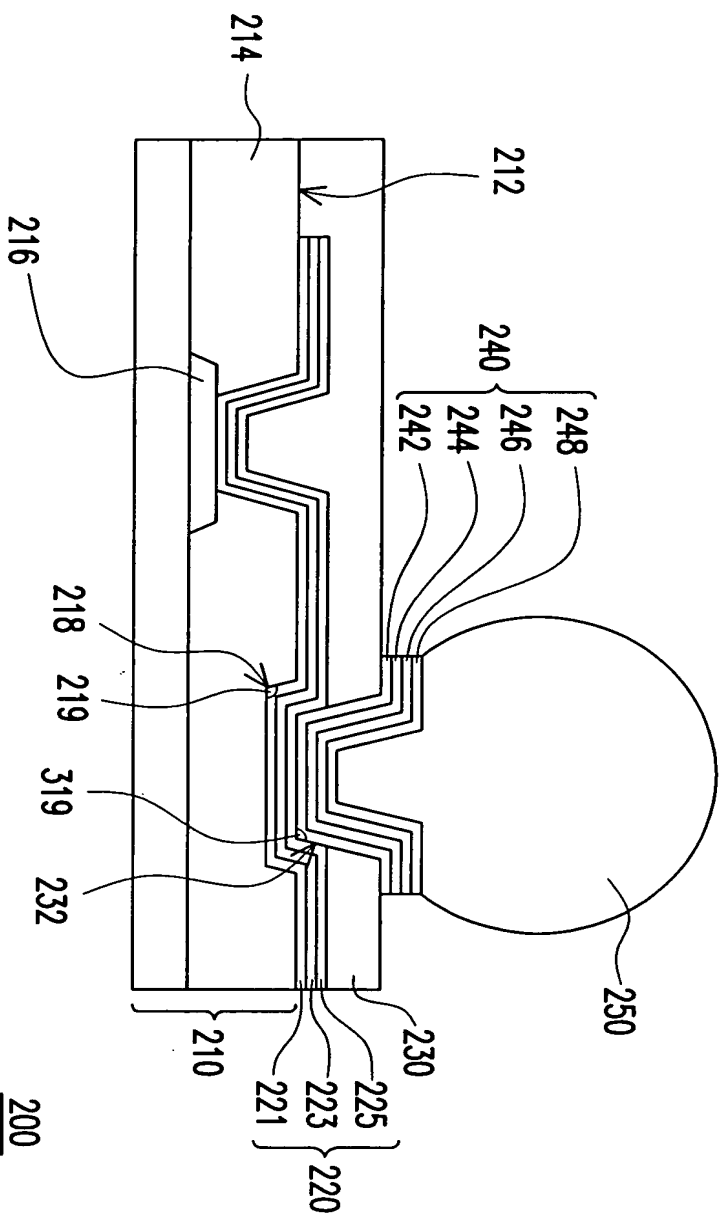
19. 如申請專利範圍第16項所述之晶片結構，其中該第三金屬層之材質包括銅。

20. 如申請專利範圍第1項所述之晶片結構，其中該開口的側壁係與該開口的底壁夾一鈍角。



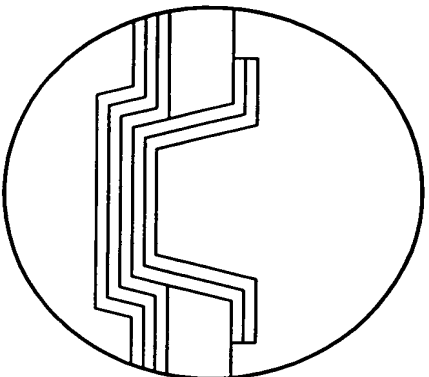


第 1 圖

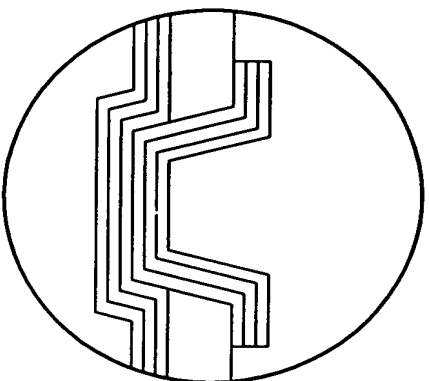


第 2 圖

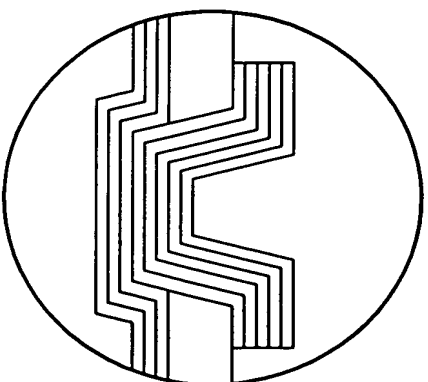




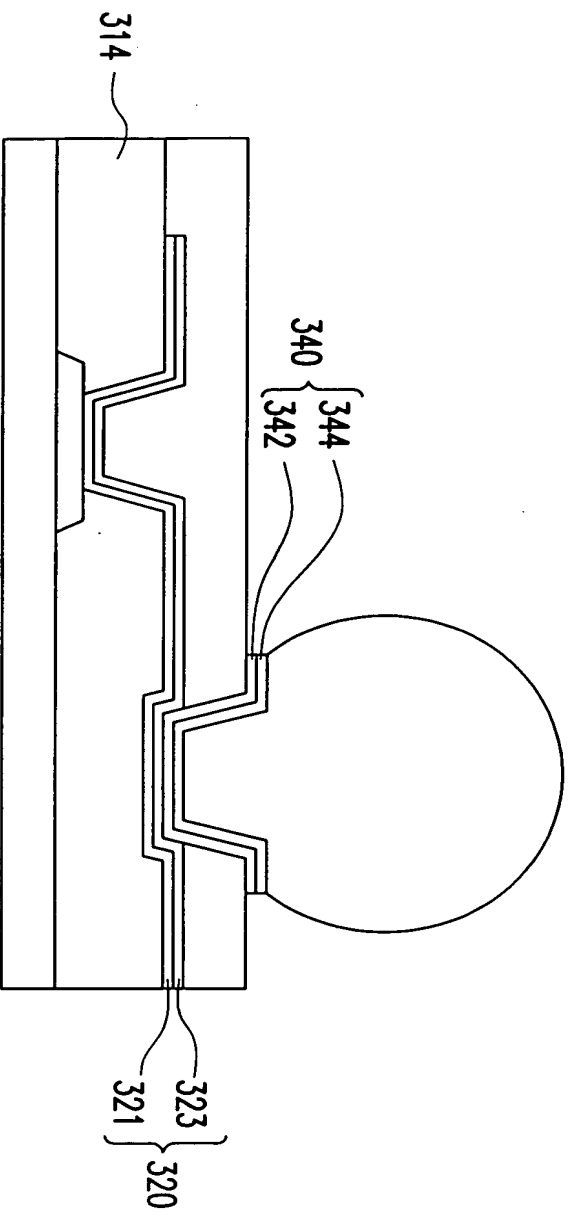
第 3 圖



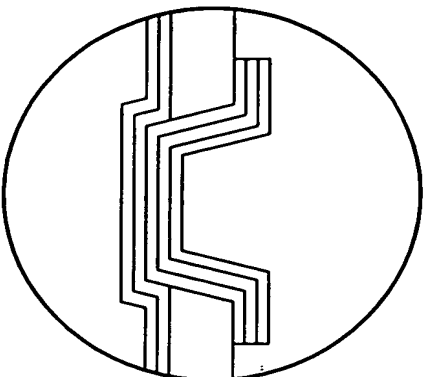
第 4 圖



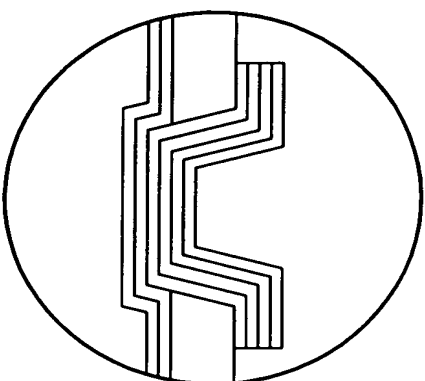
第 5 圖



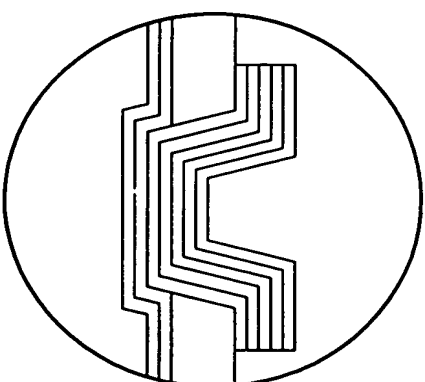
第 6 圖



第 7 圖



第 8 圖



第 9 圖

第 1/20 頁



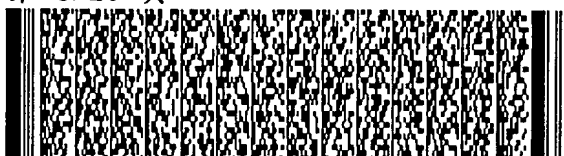
第 1/20 頁



第 2/20 頁



第 3/20 頁



第 3/20 頁



第 4/20 頁



第 5/20 頁



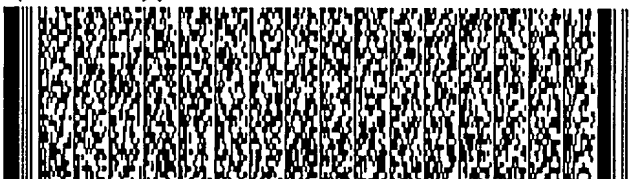
第 6/20 頁



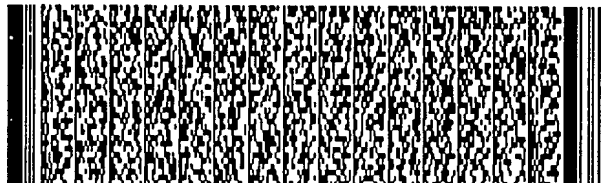
第 7/20 頁



第 7/20 頁



第 8/20 頁



第 8/20 頁



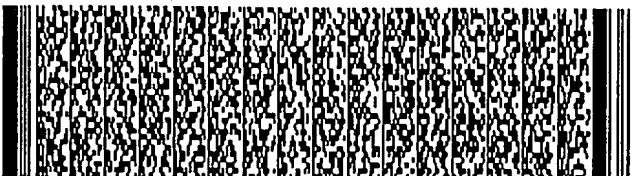
第 9/20 頁



第 9/20 頁



第 10/20 頁



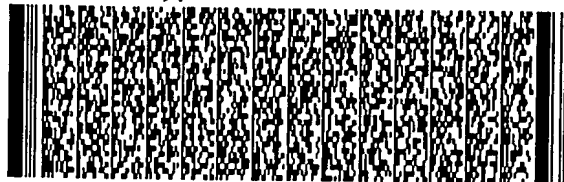
第 11/20 頁



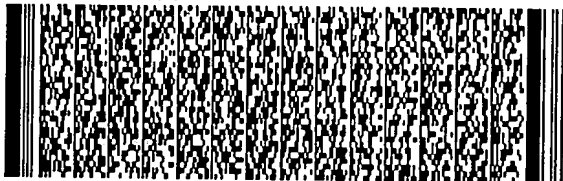
第 11/20 頁



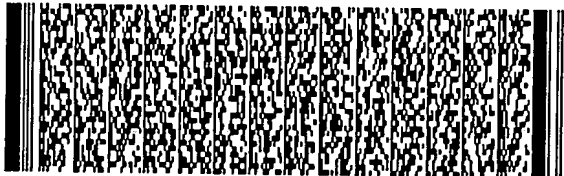
第 12/20 頁



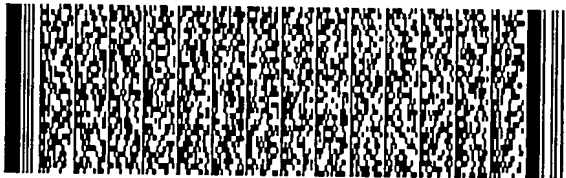
第 12/20 頁



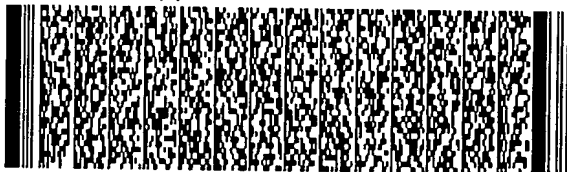
第 13/20 頁



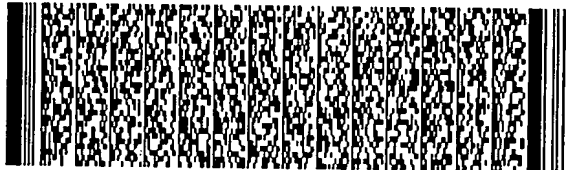
第 13/20 頁



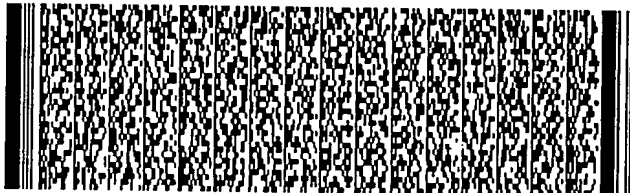
第 14/20 頁



第 14/20 頁



第 15/20 頁



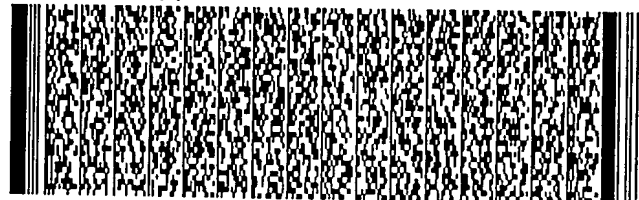
第 16/20 頁



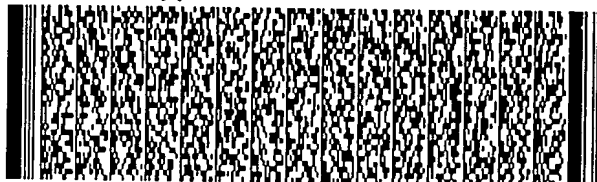
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

